

日本国特許庁
JAPAN PATENT OFFICE

7.0215052
10.775.325
67.12.04

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日 2003年 2月12日
Date of Application:

出願番号 特願2003-033756
Application Number:

[ST. 10/C]: [JP 2003-033756]

願 人
Applicant(s):

沖電気工業株式会社
株式会社 沖マイクロデザイン

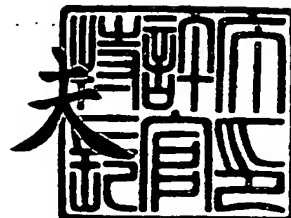
CERTIFIED COPY OF
PRIORITY DOCUMENT

BEST AVAILABLE COPY

2004年 6月14日

特許庁長官
Commissioner,
Japan Patent Office

今井 康夫



出証番号 出証特2004-305091

【書類名】 特許願

【整理番号】 OG004752

【あて先】 特許庁長官殿

【国際特許分類】 H03H 17/06

【発明者】

 【住所又は居所】 宮崎県宮崎郡清武町大字木原 7 0 8 3 番地 株式会社沖
 マイクロデザイン内

 【氏名】 的場 健二郎

【特許出願人】

 【識別番号】 000000295

 【氏名又は名称】 沖電気工業株式会社

【特許出願人】

 【識別番号】 591049893

 【氏名又は名称】 株式会社沖マイクロデザイン

【代理人】

 【識別番号】 100089093

 【弁理士】

 【氏名又は名称】 大西 健治

【手数料の表示】

 【予納台帳番号】 004994

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9720320

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 デジタルフィルタ回路

【特許請求の範囲】

【請求項 1】 複数のデータが入力される RAM と、
前記 RAM から出力されるデータをラッチするレジスタと、
乗算器と、
前記レジスタから出力されるデータを交互に前記乗算器へ出力するセレクトと、
前記乗算器から出力されるデータを加算する加算器を有することを特徴とする
デジタルフィルタ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、オーディオ、音声メモ等におけるデジタルフィルタ回路、特にデシメーションフィルタに関するものである。

【0002】

【従来の技術】

一般に、従来のデシメーションフィルタ回路は、単チャンネル、もしくは同一サンプリング周波数の多チャンネルデータを信号処理するものであった。

【0003】

【発明が解決しようとする課題】

しかしながら、従来の回路では異なるサンプリング周波数を持つ多チャンネルデータを処理する場合、デジタルフィルタ入力前にそれぞれのサンプリング周波数を合わせ込む、またはチャンネル毎にデジタルフィルタを設ける必要があり、周波数合わせ込みによる音質の劣化、回路規模の増大が発生し、技術的に満足できるものではなかった。

【0004】

【課題を解決するための手段】

以上の課題を解決するために本発明では、複数のデータが入力される RAM と

、RAMから出力されるデータをラッチするレジスタと、乗算器と、レジスタから出力されるデータを交互に乗算器へ出力するセクタと、乗算器から出力されるデータを加算する加算器を有することを特徴とする。

【0005】

【発明の実施の形態】

(第1の実施例)

図1はこの発明の第一の実施例を示す回路構成であり、DATAIN1はFIFO1のデータ入力端子に接続され、FIFO1のデータ出力端子はCH1データ格納レジスタのデータ入力端子に接続され、CH1データ格納レジスタのデータ出力端子はセクタのデータ入力端子に接続される。なお、FIFOは、請求項におけるRAMに相当する。

【0006】

DATAIN2はFIFO2のデータ入力端子に接続され、FIFO2のデータ出力端子はCH2データ格納レジスタのデータ入力端子に接続され、CH2データ格納レジスタのデータ出力端子はセクタのデータ入力端子に接続される。

【0007】

セクタの出力端子は乗算器の入力端子に接続され、乗算器のもう一方の入力端子はフィルタ係数格納レジスタの出力端子に接続される。

【0008】

乗算器の出力端子は加算器の入力端子に接続され、加算器のもう一方の入力端子はD-F/Fの出力端子に接続され、加算器の出力端子はD-F/Fの入力端子に接続される。

【0009】

D-F/Fの出力端子は、加算器へのフィードバックの他、Latch1、Latch2の入力端子に接続され、Latch1、Latch2の出力端子は、それぞれDATAOUT1、DATAOUT2に接続される。

【0010】

CH1EN端子はCH1データ格納レジスタ制御回路及び、AND10、AND11の入力端子に接続され、CH1データ格納レジスタ制御回路の出力はCH1データ格納レジスタのアドレス信号として接続される。

【 0 0 1 1 】

また、AND10, AND11のもう一方の入力端子は、それぞれRD, RDWR端子に接続され、AND10の出力はCH1データ格納レジスタのRD端子に、AND11の出力はCH1データ格納レジスタのWR端子とFIFO1のRD端子に接続される。

【 0 0 1 2 】

WR1端子はFIFO1のWR端子に接続される。

【 0 0 1 3 】

CH2EN端子はCH2データ格納レジスタ制御回路及び、AND20, AND21の入力端子に接続され、CH2データ格納レジスタ制御回路の出力はCH2データ格納レジスタのアドレス信号として接続される。

【 0 0 1 4 】

また、AND20, AND21のもう一方の入力端子は、それぞれRD, RDWR端子に接続され、AND20の出力はCH2データ格納レジスタのRD端子に、AND21の出力はCH2データ格納レジスタのWR端子とFIFO2のRD端子に接続される。

【 0 0 1 5 】

WR2端子はFIFO2のWR端子に接続される。

【 0 0 1 6 】

CHSEL端子はセレクタのSEL端子に接続される。

【 0 0 1 7 】

以下、第 1 の実施例の動作について説明する。

基本的な動作は、一般的な F I R フィルタと同様な動作となるが、本発明では 1 つのデジタルフィルタ内で、CH1EN、CH2ENにより、CH1, CH2の演算をそれぞれ単独に制御する。

【 0 0 1 8 】

図 2 に本回路のタイミングチャートを示す。なお、本タイミングチャートは、CH1の入力データのサンプリング周波数に対し、CH2の入力データのサンプリング周波数が1/2倍であり、且つサンプリング周波数を1/2にデシメートする場合の動作について示す。

【 0 0 1 9 】

まず、1 サンプリング周期に対し、CH1の演算領域は前半1/2周期、CH2の演算領域は後半1/2周期とする。

【 0 0 2 0 】

CH1の演算許可信号であるCH1EN信号は、2 サンプリング周期毎に“H”レベルとなり、その間フィルタ演算を行なう。

【 0 0 2 1 】

CH2はCH1のサンプリング周波数の1/2であるので、CH2の演算許可信号であるCH2EN信号は、4 サンプリング周期毎に“H”レベルとなり、その間フィルタ演算を行なう。

【 0 0 2 2 】

WR1信号は、DATAIN1のサンプリング周期で“H”パルスを出し、FIFO1にDATAIN1からのデータを書き込む。

【 0 0 2 3 】

WR2信号は、DATAIN2のサンプリング周期で“H”パルスを出し、FIFO2にDATAIN2からのデータを書き込む。

【 0 0 2 4 】

FIFO1のRD端子は、CH1ENが“H”レベルの時にRDWR端子からの信号が入力され、FIFO1からデータを読み出すと同時に、CH1データ格納レジスタにFIFO1から読み出されたデータを書き込む。

【 0 0 2 5 】

CH1データ格納レジスタのRD端子は、CH1ENが“H”レベルの時にRD端子からの信号が入力され、CH1データ格納レジスタからデータを読み出し、乗算／累積加算の一般的なフィルタ演算を行ない、DATAOUT1へ演算結果を出力する。

【 0 0 2 6 】

FIFO2のRD端子は、CH2ENが“H”レベルの時にRDWR端子からの信号が入力され、FIFO2からデータを読み出すと同時に、CH2データ格納レジスタにFIFO2から読み出されたデータを書き込む。

【 0 0 2 7 】

CH2データ格納レジスタのRD端子は、CH2ENが“H”レベルの時にRD端子からの信

号が入力され、CH2データ格納レジスタからデータを読み出し、乗算／累積加算の一般的なフィルタ演算を行ない、DATAOUT2へ演算結果を出力する。

【0028】

以上のように、第1の実施例によれば、各CHのサンプリング周波数に合わせてCH1EN、CH2ENを”H”レベルとする周期を変化させることにより、各CHのフィルタ演算周期が変化するため、異なるサンプリング周波数をもつ多チャンネルのデータが入力された場合でも、1つのデジタルフィルタで、それぞれのサンプリング周波数を保ったままデシメーションフィルタ演算が可能となる。

【0029】

(第2の実施例)

図3はこの発明の第2の実施例を示す回路構成である。第2の実施例は、第1の実施例と類似しているため、詳細な説明は省略する。

【0030】

本発明の2の実施例においては、D-F/Fの出力端子は、加算器へのフィードバックの他、CH1データ格納レジスタのフィードバックデータ格納領域、CH2データ格納レジスタのフィードバックデータ格納領域にも接続される。

【0031】

また、第1の実施例におけるフィルタ係数格納レジスタは、Volume係数格納レジスタも兼用している。

【0032】

第2の実施例の基本的な動作は、実施例1の動作と同様であるが、本実施例では実施例1にVolume機能が付加される。図4に本回路のタイミングチャートを示す。

【0033】

CH1データ格納レジスタのRD端子は、CH1ENが”H”レベルの時にRD端子からの信号が入力され、CH1データ格納レジスタからデータを読み出し、乗算／累積加算の一般的なフィルタ演算を行ない、CH1データ格納レジスタのフィードバックデータ格納領域に演算結果を入力する。

【0034】

CH1データ格納レジスタのフィードバックデータ格納領域に入力されたデータは、RD端子の”H”レベルで乗算器へ読み出され、VOL1で設定したVolume係数と掛け合わされてDATAOUT1端子へ出力される。以上の動作はCH2についても同様である。

本発明の第2の実施例では、第1の実施例の効果を奏するとともに、フィルタ演算処理内にVolumeの演算区間を設けているため、回路規模をほとんど増やさずにVolumeの機能を兼ね備えることができる。

【0035】

(第3の実施例)

図5はこの発明の第3の実施例を示す回路構成である。第3の実施例は、第2の実施例と回路においては同一のため、回路についての説明は省略する。

【0036】

基本的な動作は、実施例2の動作と同様であるが、本実施例では実施例2にミキシング機能が付加される。図6に本回路のタイミングチャートを示す。

【0037】

CH1データ格納レジスタのRD端子は、CH1ENが”H”レベルの時にRD端子からの信号が入力され、CH1データ格納レジスタからデータを読み出し、乗算／累積加算の一般的なフィルタ演算を行ない、CH1データ格納レジスタのフィードバックデータ格納領域に演算結果を入力する。

【0038】

CH1データ格納レジスタのフィードバックデータ格納領域に入力されたデータは、RD端子の”H”レベルで乗算器へ読み出され、VOL1で設定したVolume係数と掛け合わされ、続いてCHSELが”H”レベルとなり、CH2データ格納レジスタのフィードバックデータ格納領域のデータがRD端子の”H”レベルで乗算器へ読み出されVOL2で設定したVolume係数と掛け合わされ、累積加算によりCH1, CH2それぞれにVolume値が掛け合わされたデータが加算されてDATAOUT1端子へ出力される。以上の動作はCH2についても同様である。

【0039】

本発明の第3の実施例では、第2の実施例の効果を奏するとともに、フィルタ

演算処理内にミキシングの演算区間を設けているため、回路規模をほとんど増やさずにミキシングの機能を兼ね備えることができる。

【0040】

(第4の実施例)

図7はこの発明の第4の実施例を示す回路構成である。第4の実施例は、第1の実施例と類似しているため、詳細な説明は省略する。

【0041】

本発明の第4の実施例においては、DATAIN1はFIFO1のデータ入力端子及び、セクタ1に接続され、FIFO1のデータ出力端子はセクタ1のもう一方の入力に接続され、セクタ1の出力端子はCH1データ格納レジスタのデータ入力端子に接続され、CH1データ格納レジスタのデータ出力端子はセクタ3のデータ入力端子に接続される。セクタ1のSEL端子にはMODE1端子が接続される。また、DATAIN2の側についても同様である。

【0042】

第4の実施例の基本的な動作は、実施例1の動作と同様であるが、本実施例では1つのデジタルフィルタ内で、片側のCHはデシメーション動作、もう片方のCHはインターポレーション動作を同時に行なうことができる。図8に本回路のタイミングチャートを示す。

【0043】

CH1はデシメート動作であるので、MODE1端子を”H”レベルとし、セクタ1の出力はFIFO1の出力が選択されるようにする。

【0044】

WR1信号は、DATAIN1のサンプリング周期で”H”パルスを出力し、FIFO1にDATAIN1からのデータを書き込む。

【0045】

次に、CH2はインターポレート動作であるので、MODE2端子を”L”レベルとし、セクタ2の出力はDATAIN2からの入力を選択されるようにする。

【0046】

本発明の第4の実施例では、第1の実施例の効果を奏するとともに、MODE1、M

ODE2の切り換えにより演算方法を変えられるようにしたので、異なるサンプリング周波数をもつ多チャンネルのデータについて、1つのデジタルフィルタで、それぞれのサンプリング周波数を保ったままデシメーションフィルタ演算、インターポレーションフィルタ演算が可能となる。

【0047】

本発明では、2チャンネルのデータをそれぞれ単独で制御する場合を示したが、同様の考えでそれ以上の多チャンネルデータも制御できる。

【0048】

また、本発明では、CH1に対しCH2のサンプリング周期が1/2の場合の動作を示したが、CH1EN、CH2ENの制御により、これ以外のサンプリング周期にも対応可能である。

【0049】

さらに、本発明では、一般的なデジタルフィルタの回路構成を用いてあるが、回路構成方法はこの限りではない。

【0050】

【発明の効果】

以上のように、本発明においては、各CHのサンプリング周波数に合わせてCH1EN、CH2ENを”H”レベルとする周期を変化させることにより、各CHのフィルタ演算周期が変化するため、異なるサンプリング周波数をもつ多チャンネルのデータが入力された場合でも、1つのデジタルフィルタで、それぞれのサンプリング周波数を保ったままデシメーションフィルタ演算が可能となる。

【図面の簡単な説明】**【図 1】**

本発明の第 1 の実施例を示す回路図である。

【図 2】

本発明の第 1 の実施例の動作を示すタイミングチャートである。

【図 3】

本発明の第 2 の実施例を示す回路図である。

【図 4】

本発明の第 2 の実施例の動作を示すタイミングチャートである。

【図 5】

本発明の第 3 の実施例を示す回路図である。

【図 6】

本発明の第 3 の実施例の動作を示すタイミングチャートである。

【図 7】

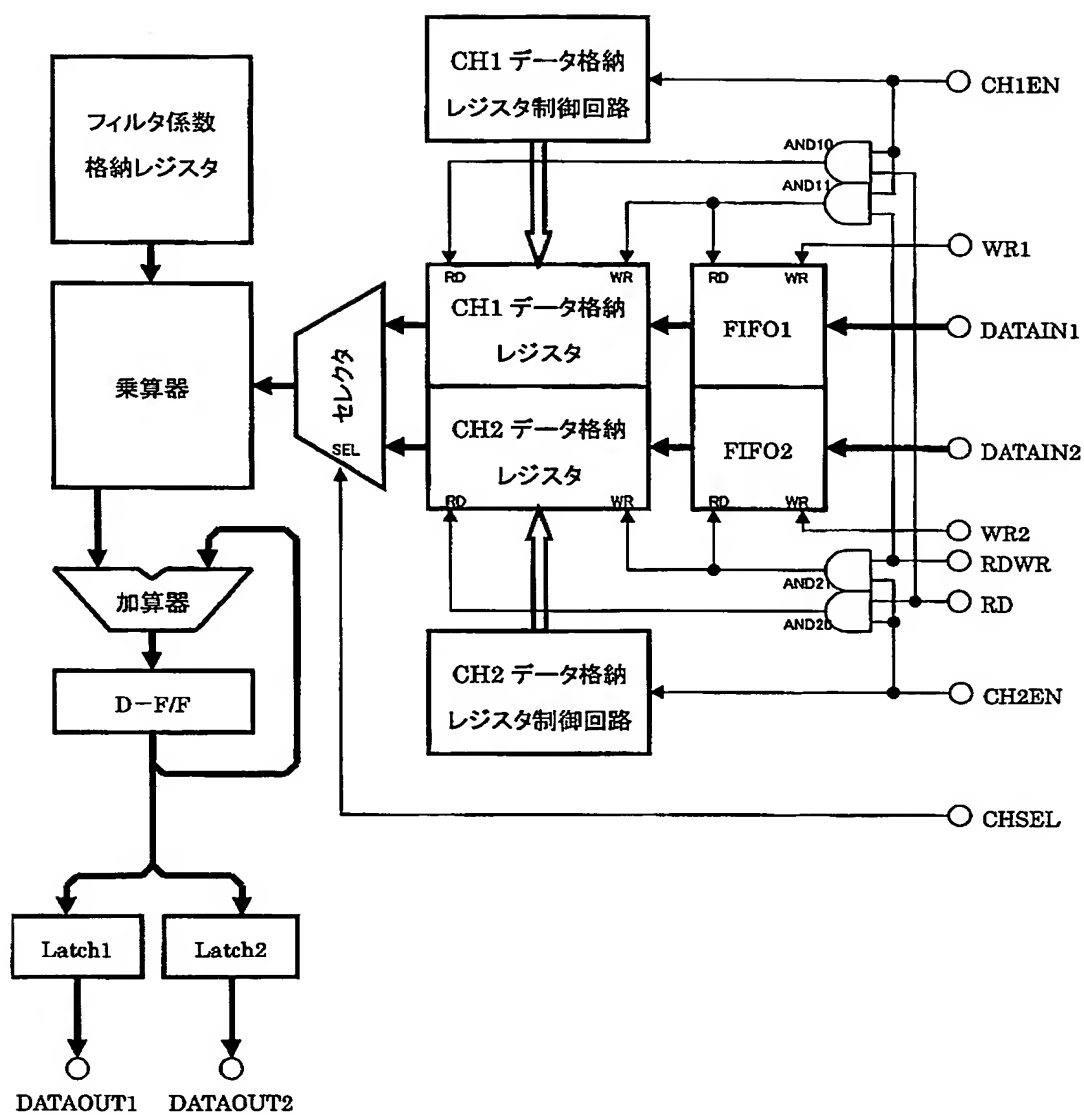
本発明の第 4 の実施例を示す回路図である。

【図 8】

本発明の第 4 の実施例の動作を示すタイミングチャートである。

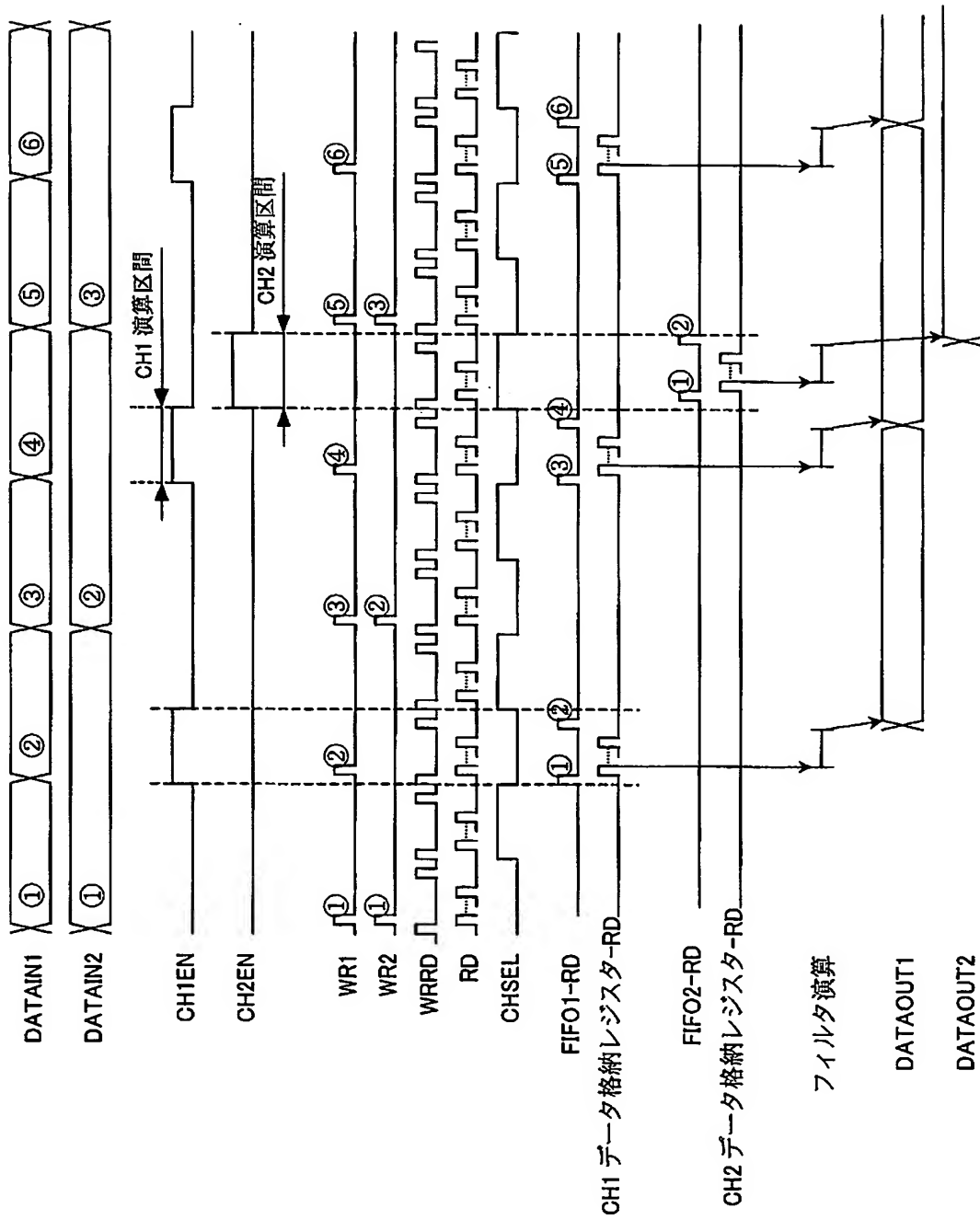
【書類名】 図面

【図 1】



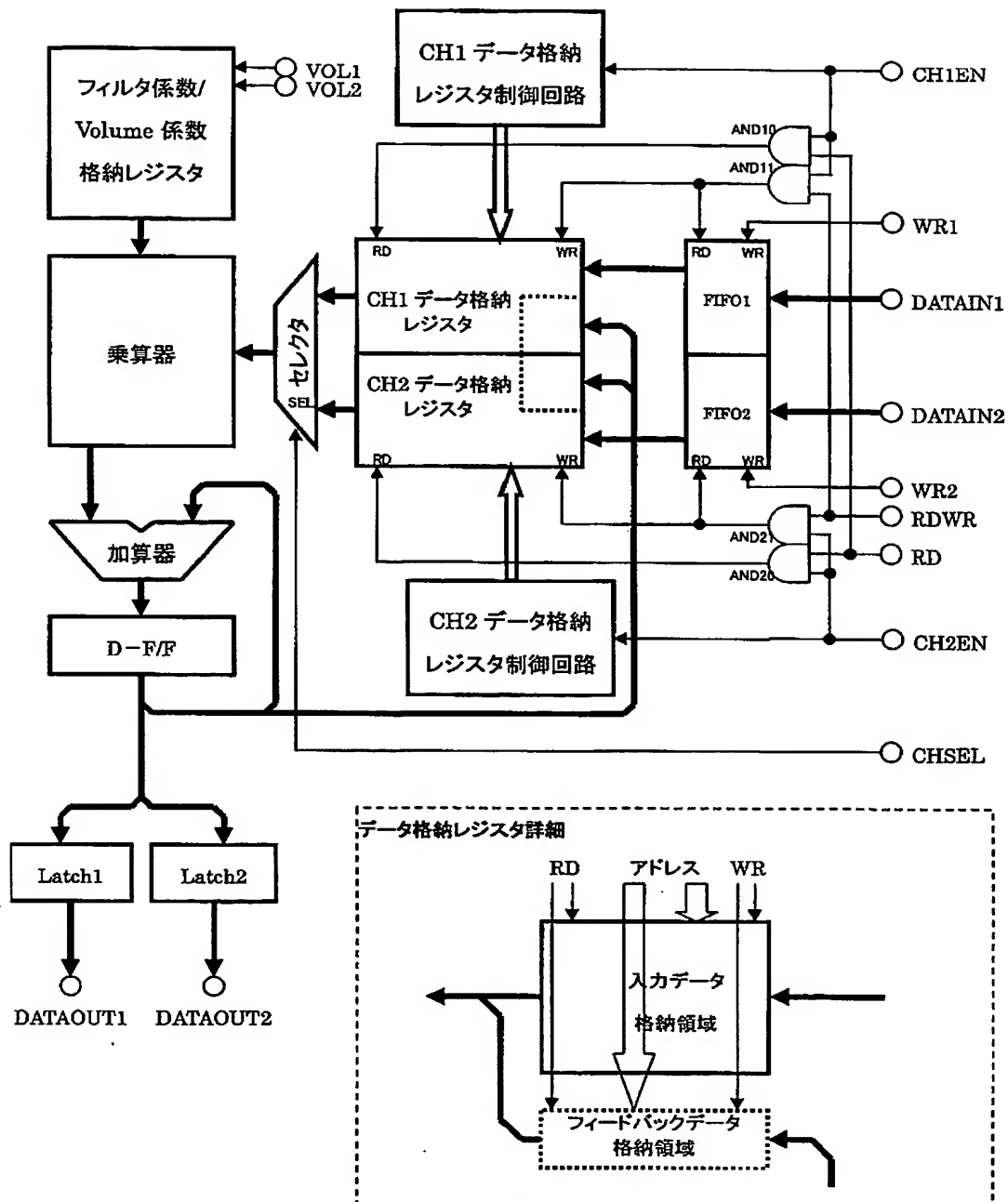
実施例 1 の回路構成

【図 2】



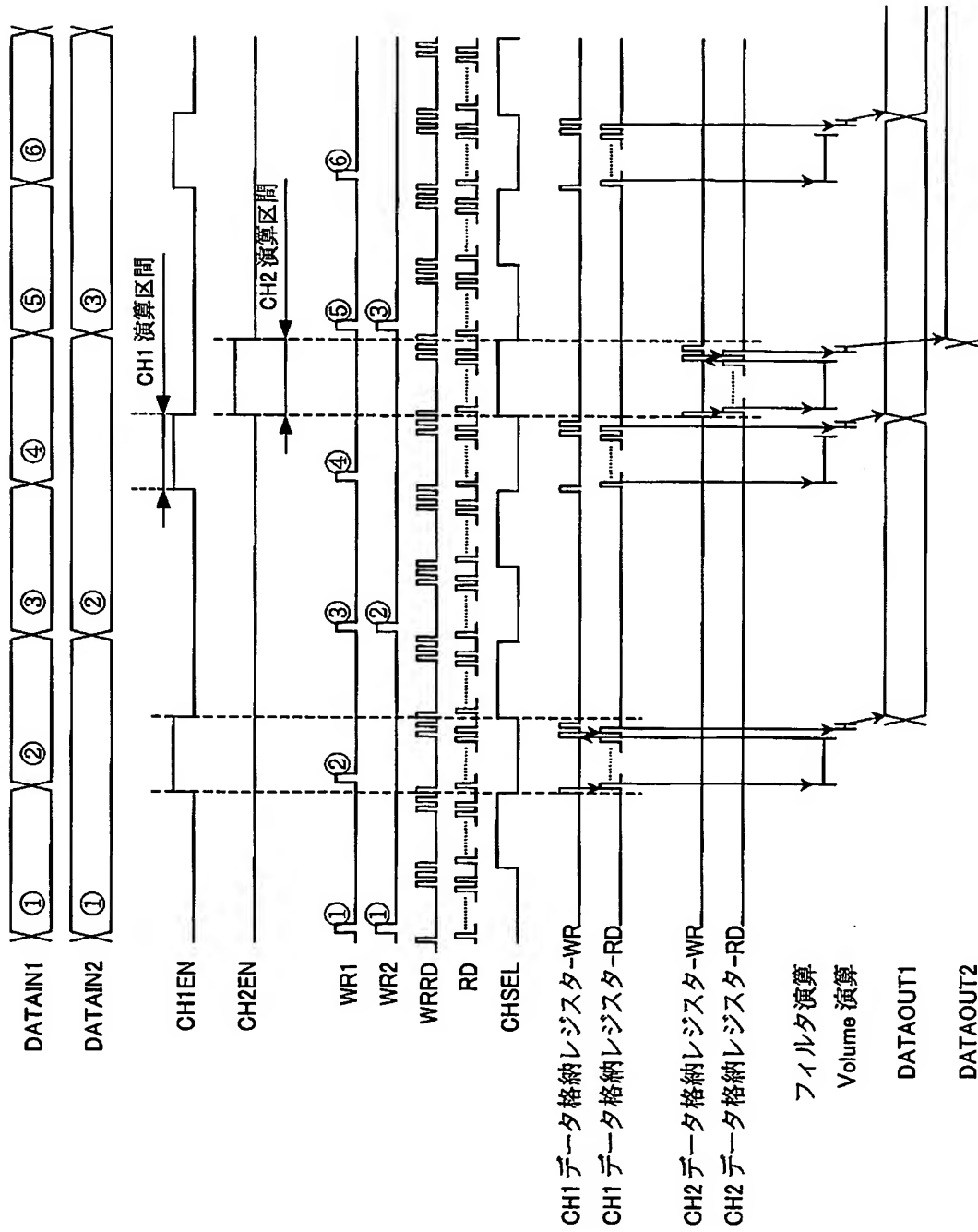
実施例 1 のタイムチャート

【図 3】



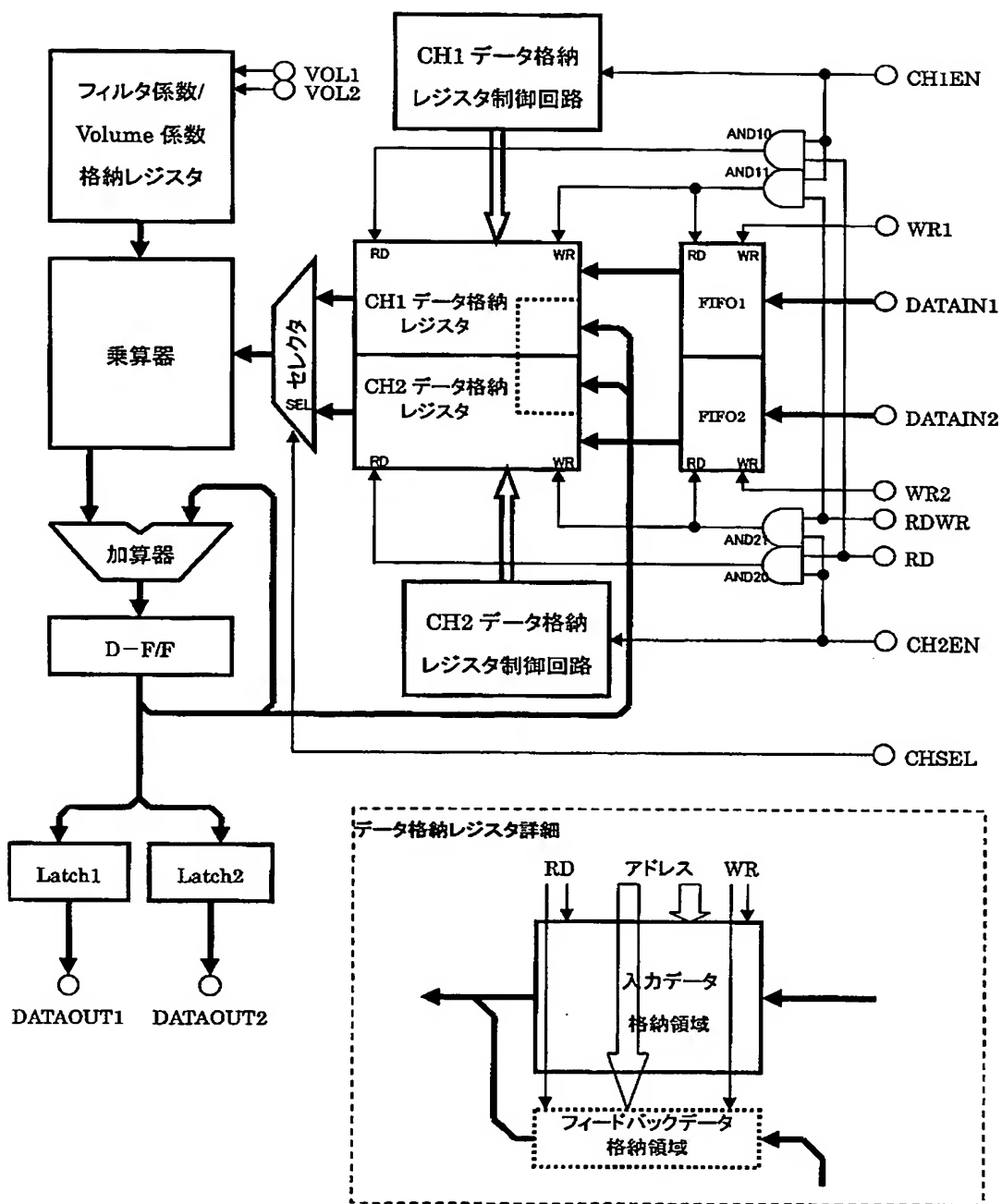
実施例 2 の回路構成

【図 4】



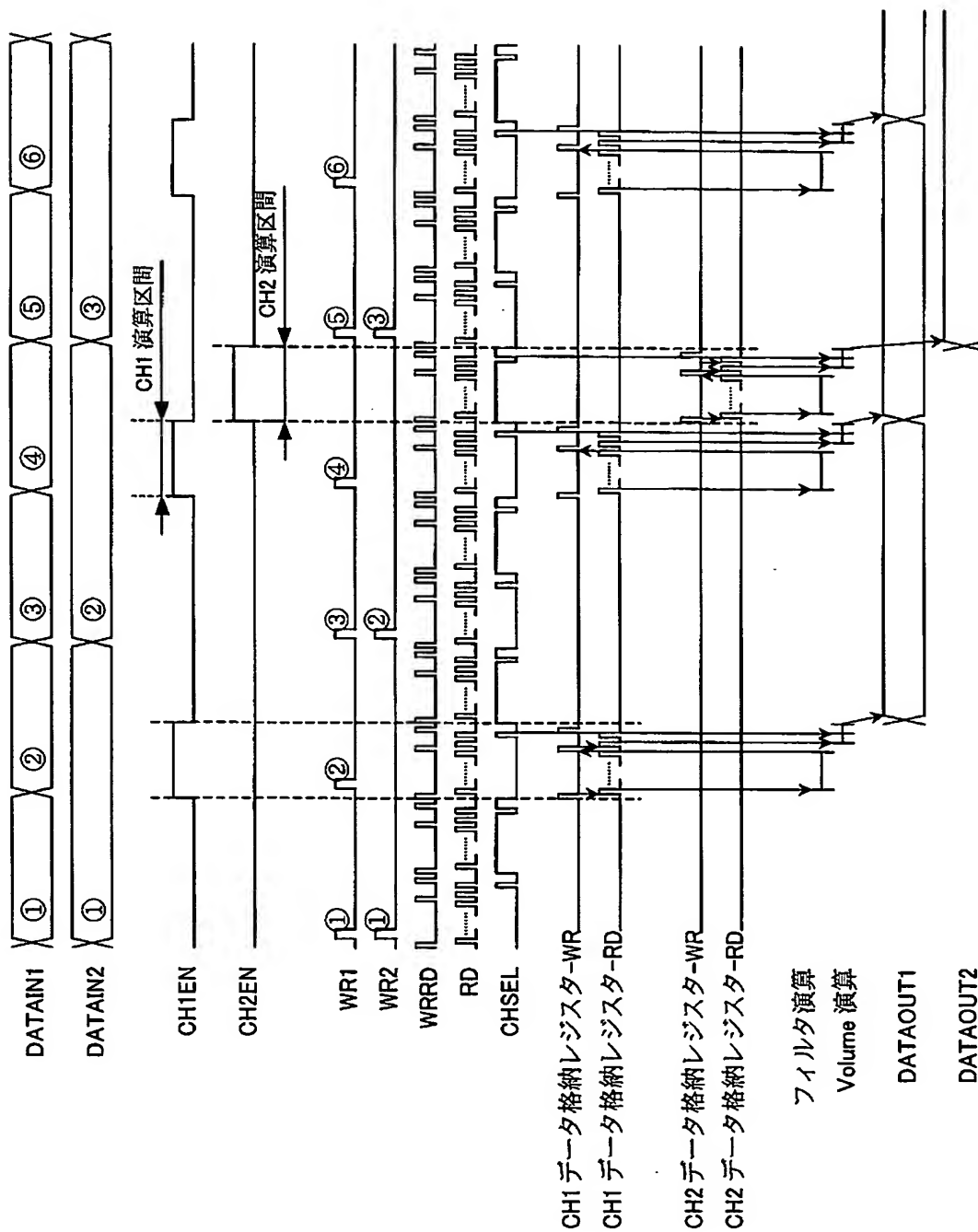
実施例 2 のタイムチャート

【図 5】



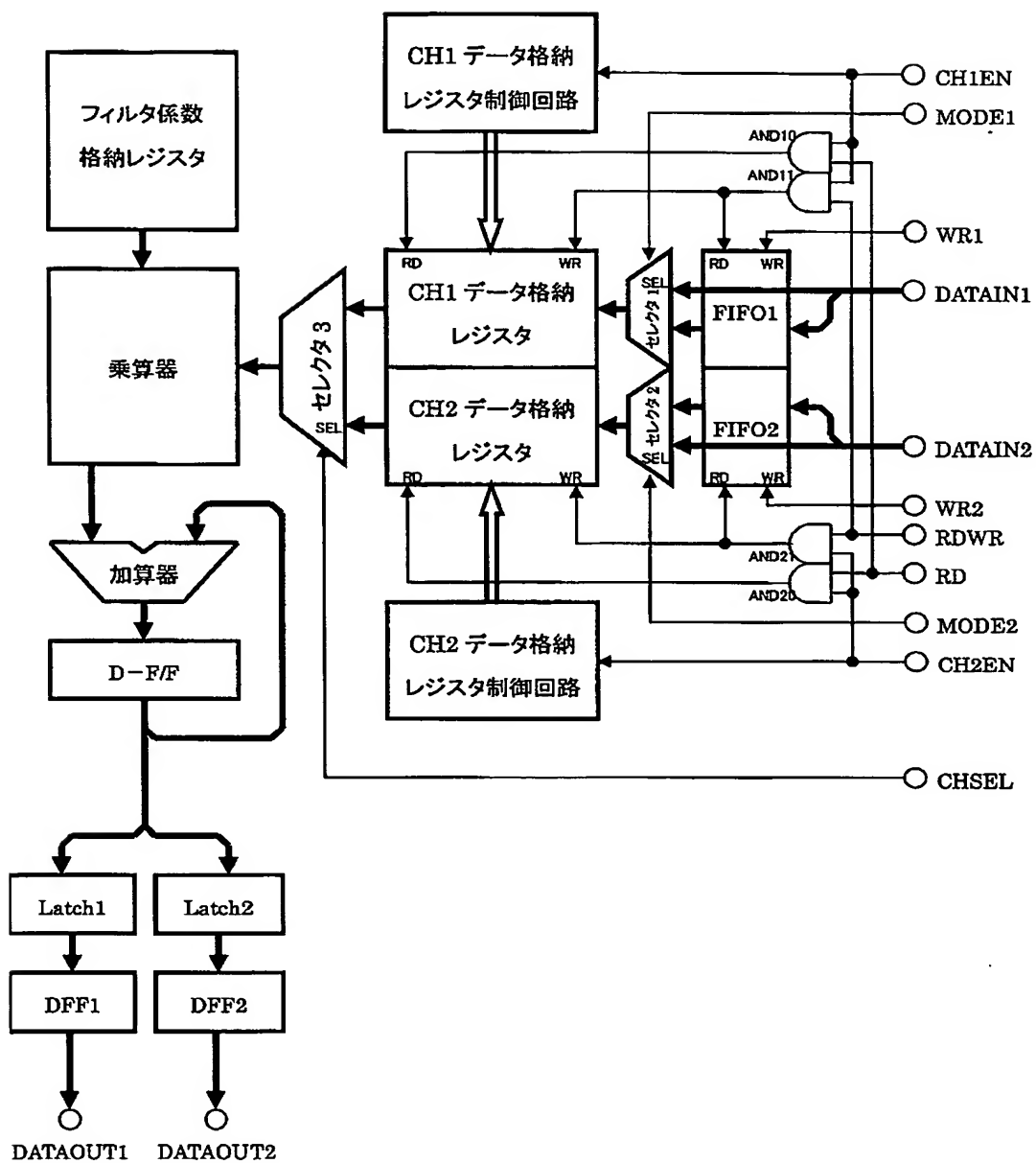
実施例 3 の回路構成

【図 6】



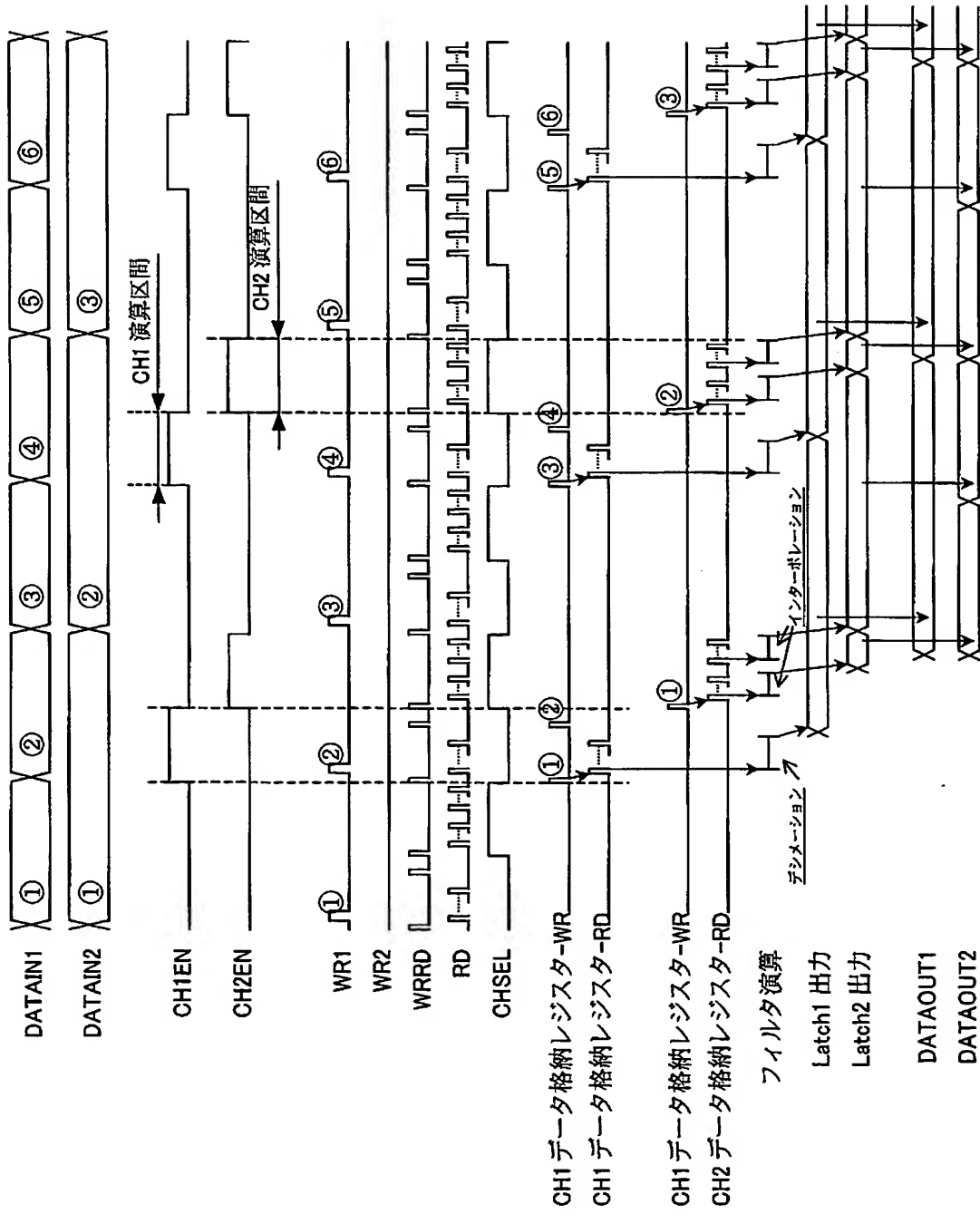
実施例 3 のタイムチャート

【図 7】



実施例 4 の回路構成

【図 8】



実施例 4 のタイムチャート

【書類名】 要約書

【要約】

【課題】 異なるサンプリング周波数を有する多チャンネルのデータを処理できるデジタルフィルタ回路を提供する。

【解決手段】 入力されるデータのそれぞれについて、これらを一時的に保持するFIFOを設け、FIFOから出力されるデータを交互に処理する。

【選択図】 図1

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 0 3 3 7 5 6
受付番号	5 0 3 0 0 2 1 8 7 8 7
書類名	特許願
担当官	第七担当上席 0 0 9 6
作成日	平成 1 5 年 2 月 1 3 日

< 認定情報・付加情報 >

【提出日】	平成15年 2月12日
-------	-------------

次頁無

特願 2 0 0 3 - 0 3 3 7 5 6

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 0 2 9 5]

1. 変更年月日	1 9 9 0 年 8 月 2 2 日
[変更理由]	新規登録
住 所	東京都港区虎ノ門 1 丁目 7 番 1 2 号
氏 名	沖電気工業株式会社

特願 2 0 0 3 - 0 3 3 7 5 6

出 願 人 履 歴 情 報

識別番号

[5 9 1 0 4 9 8 9 3]

1. 変更年月日

1 9 9 9 年 6 月 1 7 日

[変更理由]

名称変更

住 所

宮崎県宮崎郡清武町大字木原 7 0 8 3 番地

氏 名

株式会社 沖マイクロデザイン